

*Date: June 13, 2000*

*Declaration*

*I, Megumi Odawara, a translator of Fukuyama Sangyo Honyaku Center, Ltd., of 16-3, 2-chome, Nogami-cho, Fukuyama, Japan, do solemnly and sincerely declare that I understand well both the Japanese and English languages and that the attached document in English is a full and faithful translation, of the copy of Japanese Laid-open Patent No. Hei-10-74928 laid open on March 17, 1998.*

*M. Odawara*

*Megumi Odawara*

*Fukuyama Sangyo Honyaku Center, Ltd.*

Amplifier-Type Solid State Image Pickup Device and Drive Method  
thereof

Japanese Laid-open Patent No. Hei-10-74928

Laid open on: March 17, 1998

Application No. Hei-8-230857

Filed on: August 30, 1996

Inventor: Takahisa UENO

Applicant: Sony Corporation

Patent Attorney: Hidemori MATSUKUMA

#### SPECIFICATION

[TITLE OF THE INVENTION] Amplifier-Type Solid State Image  
Pickup Device and Drive Method Thereof

#### [ABSTRACT]

[Theme] To provide an amplifier-type solid state image pickup  
device which can reduce the dark current of a picture element  
and a drive method thereof.

[Solution Means] Amplifier-type solid state image pickup  
device 10 which is arranged so that electric charges h are  
injected into interface 8 between the semiconductor surface  
and insulation film 9 of a picture element to suppress dark  
current, wherein, in a predetermined period within a horizontal

repeating cycle, a means for injecting electric charges into the interface 8 is provided, and the electric charges are injected once every cycle which is a plurality of times of the horizontal repeating cycle.

[WHAT IS CLAIMED IS;]

[Claim 1] An amplifier-type solid state image pickup device arranged so that electric charges are injected into an interface between a semiconductor surface and an insulation film of a picture element to suppress dark current, wherein a means for injecting electric charges into the interface in a predetermined period within a horizontal repeating cycle is provided, and

the electric charge is injected once every cycle which is a plurality of times the horizontal repeating cycle.

[Claim 2] An amplifier-type solid state image pickup device as set forth in Claim 1, wherein the cycle of a plurality of times is set so that the sum of the amount of dark current caused by the operation to inject electric charges into the interface and the amount of dark current caused by the interface becomes minimum.

[Claim 3] An amplifier-type solid state image pickup device as set forth in claim 1, wherein the plurality of times of the cycle is set to 2 through 10 times.

[Claim 4] A drive method for an amplifier-type solid state image pickup device, wherein electric charges are injected into an interface between an semiconductor surface and insulation film of a picture element in a predetermined period within a horizontal repeating cycle to suppress dark current, and the electric charge is injected once every cycle which is a plurality of times the horizontal repeating cycle.

[Claim 5] A drive method for an amplifier-type solid state image pickup device as set forth in Claim 4, wherein the cycle of a plurality of times is set so that the sum of the amount of dark current caused by the operation to inject the electric charge into the interface and the amount of dark current caused by the interface becomes minimum.

[Claim 6] A drive method for an amplifier-type solid state image pickup device as set forth in Claim 4, wherein the plurality of times of the cycle is set to 2 through 10 times.

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[Field of the Invention] The invention relates to an amplifier-type solid state image pickup device and a drive method thereof.

[0002]

[Prior Arts] In a CCD-type solid state image pickup device in

which buried channels are formed, in order to prevent the occurrence of dark current from the surface, holes or electrons are injected into the surface to fill the interface state.

[0003]

[Themes to be Solved by the Invention] A technique in which electric charges are injected into the surface to fill the interface state (hereinafter, referred to as electric charge injection) can also be applied to a certain kind of amplifier-type solid state image pickup device. For example, a solid state image pickup device is arranged so that a potential well area is formed within a substrate under the gate electrode of an MOS transistor, and into this potential well area, photoelectrically converted carriers are accumulated, whereby modulation of substrate bias is taken out as a signal.

[0004] In such a type of amplifier-type solid state image pickup device, a device using an MOS transistor of the n-channel as a picture element is shown in Fig. 10. Also in the case of the p-channel, in the same manner, a solid state image pickup device can be constructed.

[0005] Fig. 10B is a sectional view showing the structure of the semiconductor of the receiving element as a unit picture element, that is, the picture element MOS transistor 20. In this picture element MOS transistor 20, on p-type semiconductor

substrate 24 made from silicon, n-type semiconductor area 25 and p-type semiconductor area 26 to be overflow barrier areas are successively formed, and on the surface of this p-type semiconductor area 26, so-called sensor area 28 consisting of a p-type semiconductor area whose density is higher than that of the p-type semiconductor area 26 is formed. Furthermore, on the sensor area 28, for example, ring-shaped gate electrode 21 which is made from  $\text{SiO}_2$  and can transmit light via gate insulation film 29 is formed, n-type source area 22 and drain area 23 are formed for signals inside and outside the ring-shaped gate electrode 21, respectively, and at the p-type semiconductor area immediately under drain area 23, n-channel stop range 27 to prevent signal electric charges accumulated under the gate from leaking to an adjacent picture element is formed. A plurality of the picture element MOS transistors 20 thus arranged are aligned in a matrix form to construct amplifier-type solid state image pickup device 30.

[0006] In this picture element MOS transistor 20, as shown in Fig. 10B, light L transmitted through the ring-shaped gate electrode 21 is photoelectrically converted within the silicon semiconductor to generate an electron and hole pair, and the electric charge of one of the pair, that is, in this example, a hole h is accumulated in the potential well (see the potential

diagram of Fig. 11) formed in the p-type sensor area 28 under the gate electrode 21 as a signal electric charge. Modulation of substrate bias due to this electric charge (hole)  $h$  is taken out as a signal. That is, through the vertical selection line, when a high level potential (see the gate potential  $V_{g-read}$  of Fig. 11) is applied to the gate electrode 21 and the picture element MOS transistor 20 is turned ON, channel current (that is, drain current) flows to the channels at the surface of the sensor area 28, and this channel current is modulated by the signal charge  $h$ , and therefore, this channel current is outputted through the vertical signal line connected to source area 22, and the amount of change due to modulation is regarded as a signal output.

[0007] Fig. 8 is a circuitry diagram of an amplifier-type solid state image pickup device employing the capacity loading system. In this amplifier-type solid state image pickup device 30, a plurality of light receiving elements comprising a unit picture element (cell), that is, picture element MOS transistors 20 are aligned on a matrix, the gate of each picture element MOS transistor 20 is connected to vertical selection line selected by vertical scanning signals (that is, vertical selection pulses)  $\phi V$  [ $\phi V_1, \dots, \phi V_i, \phi V_{i+1}, \dots$ ] from vertical scanning circuit 41 comprised of a shift resistor, and the drain is

connected to power source  $V_{DD}$ , and a source for each line is connected to each vertical signal line 43. To the vertical signal line 43, via operation MOS switches 44, load capacity elements 45 for holding signal voltages (electric charges) are connected. The load capacity elements 45 are connected between the vertical signal lines 43 and ground potentials. At the gates of the operation MOS switches 44, an operation pulse  $\phi_{ops}$  is applied.

[0008] To the vertical signal lines 43 between the sources of the picture element MOS transistors 20 and the operation MOS switches 44, via reset MOS switches 46 for resetting both of the load capacity elements 45 and vertical signal lines 43, reset bias voltage supply terminal 47 for supplying a reset bias voltage  $V_{RB}$  is connected. To the gates of the reset MOS switches 46, a reset pulse  $\phi_{rst}$  is supplied. 48 is a horizontal scanning circuit comprised of a shift resistor, and this horizontal scanning circuit 48 successively supplies horizontal scanning pulses  $\phi_H [\phi_{H_1}, \dots, \phi_{H_n}, \phi_{H_{n+1}}, \dots]$  to the gates of the horizontal MOS switches 50 connected to the horizontal signal line 49. To the output terminal of the horizontal signal line 49, an output circuit (for example, a charge detector circuit) is connected.

[0009] Fig. 9 is a circuitry diagram corresponding to one



picture element of Fig. 8. In this amplifier-type solid state image pickup device 30, first, in a horizontal blanking time, before the operation period of the picture element MOS transistor, the vertical signal line 43 and load capacity element 45 are reset to a reset bias voltage  $V_{RB}$ . That is, the reset pulse  $\phi_{RST}$  and operation pulse  $\phi_{OPS}$  are supplied to simultaneously turn ON the reset MOS switch 46 and operation MOS switch 44. As a result, the initial voltage of the vertical signal line 43 and load capacity element 45 before the operation period of the picture element MOS transistor 20 is reset to the reset bias voltage  $V_{RB}$ .

[0010] Thereafter, the reset MOS switch 46 is turned OFF, and to the vertical selection line, for example, the vertical selection line 42 at the  $i$ th line, a selection pulse  $\phi V_i$  is supplied. At this time, an operation pulse  $\phi_{OPS}$  is continuously supplied, and the operation MOS switch 44 is in an ON condition. At this point, a signal voltage corresponding to one line of the selected picture element MOS transistor 20 at the  $i$ th line is held by each load capacity elements 45. That is, a signal voltage corresponding to the channel potential in accordance with the amount of signal charges (amount of holes) accumulated in the picture element MOS transistor 20 is held by each load capacity element 45. In the picture element reset period at

the last of the horizontal blanking period, for example, a substrate pulse  $\phi V_{SUB}$  (not illustrated) is applied to the substrate, and signal charges accumulated in the picture element MOS transistors 20 are discharged to the substrate side.

[0011] Next, the signal voltages held by the load capacity elements 45 are flown to the horizontal signal line 49 as signal charges by successively turning ON the horizontal MOS switches 50 by horizontal scanning signals  $\phi H [\phi H_1, \dots \phi H_n, \phi H_{n+1}, \dots]$  from horizontal scanning circuit 48 within the horizontal scanning period, and the signal voltages are outputted as signal voltages via the output circuit.

[0012] In the abovementioned amplifier-type solid state image pickup device 30, it has been demanded that dark current is suppressed to be as low as possible. The dark current is caused by two factors, that is, one is generation of hot carriers in the picture element MOS transistors, and the other is generation of an electron and hole pair at the interface at the gates of the picture element MOS transistors, that is, the interface between the gate insulation film and semiconductor surface. In the abovementioned amplifier-type solid state image pickup device 30, when the picture element transistors 20 are turned OFF, minute current does not flow to the picture

element MOS transistors 20, and therefore, hot carriers are not generated. Therefore, dark current due to the generation of hot carriers does not occur. However, in a charge accumulation period (that is, a light receiving period), the picture element MOS transistors 20 are in an OFF condition, and in this OFF condition, electric charges (electrons) cannot be injected into the surfaces of the gates of the picture element MOS transistors 20, and therefore, an electron and hole pair is generated, between them, the hole is accumulated in the sensor area 28, whereby dark current increases.

[0013] In view of the abovementioned points, the object of the invention is to provide an amplifier-type solid state image pickup device, in which the dark current of the picture element can be suppressed, and a drive method thereof.

[0014]

[Means for Solving Themes] In the invention, electric charge injection between the semiconductor surface and insulation film of a picture element is carried out in a predetermined period within a horizontal repeating cycle in order to suppress dark current, and this charge injection is carried out once every cycle which is a plurality of times of the horizontal repeating cycle.

[0015] Thus, by carrying out charge injection into the

interface once every cycle which is a plurality of times the horizontal repeating cycle, dark current caused by the interface is suppressed, and also, dark current caused by the operation to inject charges into the interface can be suppressed.

[0016]

[Preferred Embodiment] The amplifier-type solid state image pickup device relating to the invention is arranged so that electric charges are injected into the interface between the semiconductor surface and insulation film of an picture element to suppress dark current, wherein, in a predetermined period within a horizontal repeating cycle, a means for injecting charges into the interface is provided, and this charge injection is carried out once every cycle which is a plurality of times the horizontal repeating cycle.

[0017] The invention is constructed so that, in the amplifier-type solid state image pickup device, the cycle of the plurality of times is set so that the sum of the amount of dark current caused by the operation to inject charges into the interface and the amount of dark current caused by the interface becomes minimum.

[0018] The invention is constructed so that, in the amplifier-type solid state image pickup device, the cycle of

the plurality of times is set to a cycle of 2 through 10 times.

[0019] The drive method of the amplifier-type solid state image pickup device relating to the invention is arranged so that charge injection into the interface of the semiconductor surface and insulation film of a picture element to suppress dark current is carried out in a predetermined period within a horizontal repeating cycle, and also, charge injection is carried out once every cycle which is a plurality of times of the horizontal repeating cycle.

[0020] According to the invention, in the drive method of the amplifier-type solid state image pickup device, the cycle of the plurality of times is set so that the sum of the amount of dark current caused by the operation to inject charges into the interface and the amount of dark current caused by the interface becomes minimum.

[0021] According to the invention, in the drive method of the amplifier-type solid state image pickup device, the cycle of the plurality of times is set to a cycle of 2 through 10 times.

[0022] Hereinafter, the embodiment of the invention shall be described with reference to the drawings. Figs. 1 show an amplifier-type solid state image pickup device relating to the invention, which has the same picture element structure as in Fig. 10. That is, Fig. 1B is a sectional view showing light

receiving elements as unit picture elements relating to the invention, that is, the semiconductor structure of picture element MOS transistor 11.

[0023] In the picture element MOS transistor 11, a second conductive type, for example, n-type semiconductor area 5 to be an overflow barrier area and p-type semiconductor area 6 are successively formed on a first conductive type, for example, p-type semiconductor substrate 4 made from silicon, and on the surface of the p-type semiconductor area 6, so-called sensor area 8 formed of a p-type semiconductor area whose density is higher than that of the p-type semiconductor area 6 is formed. Furthermore, on the sensor area 8, ring-shaped gate electrode 1 which can transmit light via gate insulation film 9 made from, for example,  $\text{SiO}_2$ , is formed, and at positions inside and outside the ring-shaped gate electrode 1, n-type source area 2 and drain area 3 are formed, respectively, and in the p-type semiconductor area 6 immediately under the drain area 3, n-channel stop area 7 is formed to prevent signal charges accumulated under the gate from leaking to the adjacent picture element. A plurality of picture element MOS transistors thus arranged are aligned in a matrix form to comprise amplifier-type solid state image pickup device 10. The operations of the picture element MOS transistors 11 are the

same as those of the picture element MOS transistors 20 mentioned above, so that overlapping description is omitted.

[0024] In the present embodiment, in the picture element MOS transistor 11, electric charges, that is, in this embodiment, electrons are injected into the interface between the surface of the p-type sensor area 8 and the gate insulation film 9 in a charge accumulation period, for example, a horizontal effective scanning period of a horizontal repeating cycle (H) to suppress generation of an electron and hole pair at this interface. That is, a bias voltage is supplied to the gate electrode 1 by which the channel of the surface of the p-type sensor area 8 is turned on (that is, electrons are injected), in other words, at least one of the source potential and drain potential is made lower than the channel potential, and electrons are injected into the channel from the source area 2 or drain area 3, whereby dark current caused by the interface is suppressed, and at this time, the source potential and drain potential are made identical to each other to prevent flowing of channel current, whereby occurrence of dark current caused by hot carriers due to the channel current flow, for example, is prevented.

[0025] Fig. 2 shows the circuitry of the amplifier-type solid state image pickup device 10 relating to the present embodiment.

That is, this is an example of the circuitry which makes possible that charges are injected into the interface and the source and drain are set to an identical potential. Fig. 2 shows the circuitry corresponding to one picture element as Fig. 9 described above.

[0026] In the circuitry of Fig. 2, as in Fig. 9 described above, a plurality of light receiving elements comprising a unit picture element (cell), that is, picture element MOS transistors 11 are aligned in a line form, the gate of each picture element MOS transistor 11 is connected to the vertical selection line 42 selected by vertical scanning signals (that is, vertical selection pulses)  $\phi V$  [ $\phi V, \dots \phi V_i, \phi V_{i+1}, \dots$ ], and the drain is connected to the power source  $V_{DD}$ , and the source of each line is connected to the vertical signal line 43. To the vertical signal line 43, via operation MOS switch 44 comprised of an n-channel MOS transistor, load capacity element 45 to hold signal voltages (charges) is connected. The load capacity element 45 is connected between the vertical signal line 43 and a ground potential. To the gate of the operation MOS switch 44, an operation pulse  $\phi_{ops}$  is applied.

[0027] Reset bias voltage supply terminal 47 to supply a reset bias voltage  $V_{RB}$  is connected to the vertical signal line 43 between the source of the picture element MOS transistor 20



and the operation MOS switch 44, via reset MOS switch 46 comprised of, for example, an n-channel MOS transistor which resets both of the load capacity element 45 and the vertical signal line 43, that is, charges the source side parasitic capacity of the picture element MOS transistor. To the gate of the reset MOS switch 46, a reset pulse  $\phi_{RST}$  is supplied. 48 is a horizontal scanning circuit comprised of a shift resistor, and this horizontal scanning circuit 48 successively supplies horizontal scanning signals (that is, horizontal scanning pulses)  $\phi H$  [ $\phi H_1, \dots \phi H_n, \phi H_{n+1}, \dots$ ] to the gate of the horizontal MOS switch 50 comprised of; for example, an n-channel MOS transistor connected to the horizontal signal line 49. To the output terminal of the horizontal signal line 49, an output circuit (for example, a charge detector circuit) is connected.

[0028] And, in the present embodiment, between the drain of the picture element MOS transistor 11 and the power source  $V_{DD}$ , for example, first MOS switch 12 comprised of a p-channel MOS transistor is connected, and between the drain of the picture element MOS transistor 11 and the reset bias voltage supply terminal 47, second MOS switch 13 comprised of an n-channel MOS transistor to charge the parasitic capacity at the drain side of the picture element MOS transistor is connected. And,

to the gate of the first MOS switch 12, a drive pulse  $\phi_{\text{PDSF}}$  is applied, and to the gate of the second MOS switch 13, a drive pulse  $\phi_{\text{PDSN}}$  is applied. Herein, the relationship between the power source  $V_{\text{DD}}$  and reset bias voltage  $V_{\text{RB}}$  is  $V_{\text{DD}} > V_{\text{RB}}$ .

[0029] Next, the operations of the circuitry of Fig. 2 shall be described. First, as generally described, as shown in the timing chart of Fig. 5, in the picture element MOS transistor 11, with the exception of the horizontal blanking period which is not selected, that is, during the selected horizontal blanking period  $H_{\text{BLK}}$  and horizontal effective scanning period (that is, standby period)  $T_{\text{A}}$ , a vertical selection pulse  $\phi_{\text{V}}$  is continuously applied to the gate, and the condition is in an ON condition. And, the operation to read-out the signal voltage in the picture element MOS transistor 11, that is, the signal voltage corresponding to a channel potential in accordance with the amount of signal charges (amount of holes) accumulated in the picture element MOS transistor 11 to the load capacity element 45 is carried out in the horizontal blanking period. That is, in a reset period  $T_1$  before the reading-out period  $T_2$  of the picture element MOS transistors 11 during the horizontal blanking period  $H_{\text{BLK}}$ , a reset pulse  $\phi_{\text{RST}}$  is supplied to turn ON the reset MOS switch 46, and at the same time, a operation pulse  $\phi_{\text{OPS}}$  is supplied to the

operation MOS switch 44, whereby the load capacity element 45 is reset to a reset bias voltage  $V_{RB}$ .

[0030]

Next, the reset MOS switch 48 is turned OFF, and during the reading-out period  $T_2$  in which the operation MOS switch 44 is in an ON condition, the signal voltage of the picture element MOS transistors 11 is held by the load capacity element 45. After reading-out is finished, in the picture element reset period  $T_3$ , a substrate pulse  $\phi V_{SUB}$  is applied to the substrate, and charges (holes) accumulated in the picture element MOS transistors 11 are discharged through the substrate. Thereafter, in a horizontal effective scanning period  $T_A$ , signal charges corresponding to one line flow successively to the horizontal signal line 49 by the horizontal scanning pulses  $\phi H$  [ $\phi H_1, \dots \phi H_n, \phi H_{n+1}, \dots$ ] and outputted. The above description concerns general operations.

[0031] And, in the amplifier-type solid state image pickup device 10 in the present embodiment, by employing the circuitry of Fig. 2, current is prevented from flowing to the picture element MOS transistors 11 except for the reading-out period. An example of this drive timing is shown in Fig. 6. As shown in Fig. 6, in the reset period  $T_1$ , drive pulses  $\phi PDSP$  and  $\phi PDSN$  are set to a high level, whereby the first MOS switch 12

is turned OFF, and the second MOS switch 13 is turned ON, and the reset pulse  $\phi_{RST}$  is set to a high level, whereby the reset MOS transistor 46 is turned ON, and the operation pulse  $\phi_{OPS}$  is set to a high level, whereby the operation MOS switch 44 is turned ON.

[0032] Thereby, the load capacity element 45 is reset to the reset bias voltage  $V_{RB}$ , and at the same time, the parasitic capacity of the vertical signal line 43 at the source side of the picture MOS transistor 11 and the parasitic capacity of the wiring of the drain side of the picture element MOS transistor 11 are charged, and the potentials of the source and drain are reset to the reset bias voltage  $V_{RB}$  of the same potential.

[0033] Next, in the reading-out period  $T_2$ , to the gates of the first MOS switch 12 and second MOS switch 13, a low level drive pulse  $\phi_{PDSP}$  and a low level drive pulse  $\phi_{PDSN}$  are applied, respectively, whereby the first MOS switch 12 is turned ON, and the second MOS switch is turned OFF, and in addition, to the gate of the reset MOS switch 46, a low level reset pulse  $\phi_{RST}$  is applied, whereby the reset MOS switch 46 is turned OFF. Thereby, the signal voltage of the picture element MOS transistor 11 is held by the load capacity element 45.

[0034] Next, after the operation MOS switch 44 is turned OFF,

the signal voltage held by the load capacity element 45 flows to the horizontal signal line 49 as a signal charge by turning ON the horizontal MOS switch 50 by the horizontal scanning pulses  $\phi H [\phi H_1, \dots \phi H_n, \phi H_{n+1}, \dots]$ , and outputted as a signal voltage through the output circuit. Except for the reading-out period  $T_2$ , the first MOS switch 12 is in an OFF condition, the second MOS switch 13 is in an ON condition, and the reset MOS switch 46 is in an ON condition. In this example, when resetting, since the source and drain of the picture element MOS transistor 11 become similar in potential by the reset bias voltage  $V_{RB}$ , although the picture element MOS transistors 11 are in an ON condition, current does not flow between the drain and source. Therefore, hot carriers are not generated, whereby dark current due to generation of hot carriers can be suppressed. In addition, the picture element MOS transistor 11 is made to be in an ON condition, and electrons are injected into the gate surface, whereby generation of an electron and hole pair at the interface is suppressed, and dark current caused by the interface can be suppressed.

[0035] In the example of Fig. 5 mentioned above, the reading-out operation is carried out in the horizontal blanking period  $H_{BLK}$ , and the phase for charge injection is set as the horizontal effective scanning period. In the phase for charge injection,

an unselected picture element is also turned ON, whereby the time for charges to fill the interface state becomes longer, whereby it is expected that dark current is suppressed further.

[0036] In the case of an example of drive timing of Fig. 5, the unselected picture element is made to be in an OFF condition for each horizontal blanking period  $H_{BLK}$  in which reading-out of the selected picture element is carried out. Thus, if the unselected picture element into which charges have been injected in order for the reading-out operation is turned OFF, the remaining charges injected into the channel area are accelerated by the electric field between the channel and source/drain when being discharged into the source/drain area, whereby hot carriers occur and this may cause dark current.

[0037] A schematic view of this condition is shown in Fig. 7. When the picture element MOS transistor is in an ON condition, the potential of the channel is slightly higher than the potential  $V_{RB}$  of the source/drain area, and the potential difference between the channel and the source/drain area (corresponding to the electric field between them) increases.

[0038] Therefore, when electrons  $e$  which have been injected into the interface are discharged, they are accelerated by the electric field to have great energy, and become impact-ionized, whereby holes  $h$  generate and cause dark current.

[0039] On the other hand, when the time period in which charges are injected is lengthened, since injection and discharge of charges are carried out a plurality of times, for example, if charge injection is carried out for every horizontal repeating cycle H as shown in Fig. 5, injection is carried out the same number of times as the number of the vertical lines, and therefore, to the contrary, occurrence of dark current increases.

[0040] Therefore, in the present embodiment, the number of times charges are injected is reduced further to suppress occurrence of dark current.

[0041] The present inventor confirmed that, by injecting electric charges into the interface between the sensor area 8 and gate insulation film 9, even if the interface was depleted thereafter, the effect to suppress dark current caused by the interface continued for a period of approximately  $2H$  through  $10H$  in terms of a unit of a horizontal repeating cycle  $H$  of several through several tens of  $\mu$  sec. Therefore, in the present embodiment, charge injection into the interface is not carried out for every horizontal repeating cycle  $H$ , but carried out at predetermined intervals, for example, carried out once  $2H$  or once  $3H$  so that the sum of dark current caused by hot carriers and dark current caused by the interface becomes minimum.

[0042] The conceptual view is shown in Fig. 4. In Fig. 4, the vertical axis shows the amount of occurrence of dark current as relative values, and the horizontal axis shows the frequency of charge injection, wherein the right end shows the case where charges are not injected, and the left end shows the case where charges are injected for every  $H$ . That is, at the right end, the interval of charge injection is infinite, and at the left end, the interval of charge injection is  $1H$ .

[0043] Since dark current (curve 15) caused by hot carriers is in proportion to the frequency of charge injection, dark current becomes maximum in the case where charges are injected for every  $H$ , and becomes zero in the case where charges are not injected. Dark current (curve 16) caused by the interface occurs much when charge injection is not carried out, and when charge injection is carried out for every  $H$ , it rarely occurs. The increase between the above cases is exponential.

[0044] Therefore, the sum (curve 17) of the dark current caused by hot carriers and the dark current caused by the interface is calculated, and a charge injection frequency at which the sum becomes minimum may be employed.

[0045] Since the effect to suppress dark current in accordance with charge injection one time continues up to approximately  $10H$ , although it depends on other conditions of the solid state



image pickup device, the charge injection frequency at which the total of dark current becomes minimum is approximately 1 per 2H through 10H. Therefore, it is desirable that the interval of charge injection is set between 2H and 10H, approximately. [0046] Fig. 3 is an example of the drive timing relating to the invention, which shows the case where charge injection is carried out once every 2H, that is, once every a cycle which is twice the horizontal repeating cycle H. As for the picture element MOS transistors corresponding to one line, in the horizontal effective scanning period  $T_A$  every other 1H, high level potentials of the vertical selection pulses  $\phi V$  [ $\phi V_1, \dots \phi V_i, \phi V_{i+1}, \phi V_{i+2}, \dots$ ] are supplied to the gate electrodes 1 of the picture element MOS transistors 11.

[0047] Thereby, by suppressing dark current to be minimum, a solid state image pickup device with excellent performance can be constructed.

[0048] Furthermore, in the above embodiment, the case where the reading-out operation is carried out in the horizontal blanking period and the phase of charge injection is defined as a horizontal effective scanning period is described, however, in addition, the invention can be applied to the case where the reading-out operation is carried out in the horizontal effective scanning period and the phase of charge injection

is defined as the horizontal blanking period. Moreover, not limited to the amplifier-type solid state image pickup device of the above embodiment, the invention can also be applied to an amplifier-type solid state image pickup device such as a CMD.

[0049] The solid state image pickup device of the invention is not limited to the abovementioned embodiment, but can be variously arranged without departing from the spirit of the invention.

[0050]

[Effects of the Invention] According to the invention described above, electric charge injection into the interface in a picture element is carried out in a predetermined period within a horizontal repeating period to suppress dark current, and in addition, this charge injection is carried out once every cycle which is a plurality of times the horizontal repeating cycle, whereby both of the dark current caused by hot carriers due to the operation of charge injection and dark current caused by the interface are suppressed to lower the amount of dark current.

[0051] Furthermore, since the interval of charge injection, that is, the cycle of a plurality of times is selected as mentioned above, the total of the dark current caused by hot

carriers and dark current caused by the interface can be suppressed to a minimum, whereby the amount of dark current can be suppressed to a minimum. Therefore, according to the invention, an amplifier-type solid state image pickup device with excellent performance and less dark current can be constructed. Also, the device can be driven so as to reduce dark current.

[BRIEF DESCRIPTION OF THE DRAWINGS]

[Figs. 1] Schematic constructional views of the embodiment of the amplifier-type solid state image pickup device relating to the invention.

A: Plan view

B: Sectional view along the A-A' line of Fig. 1A

[Fig. 2] A circuitry schematic diagram corresponding to one picture element of the amplifier-type solid state image pickup device of Fig. 1.

[Fig. 3] A drive timing chart of the amplifier-type solid state image pickup device of Fig. 1.

[Fig. 4] A schematic diagram showing the relationship between the frequency of charge injection and the amount of dark amount.

[Fig. 5] A comparative example of the drive timing chart of the amplifier-type solid state image pickup device.

[Fig. 6] A timing chart of reading-out of the capacity load.

[Fig. 7] A schematic diagram showing the condition of occurrence of dark current in accordance with the operation of charge injection.

[Fig. 8] A circuitry diagram of the amplifier-type solid state image pickup device employing the capacity loading system.

[Fig. 9] A circuitry diagram corresponding to one picture element of the amplifier-type solid state image pickup device of Fig. 8.

[Fig. 10] schematic constructional views of comparative examples of an amplifier-type solid state image pickup device.

A: Plan view

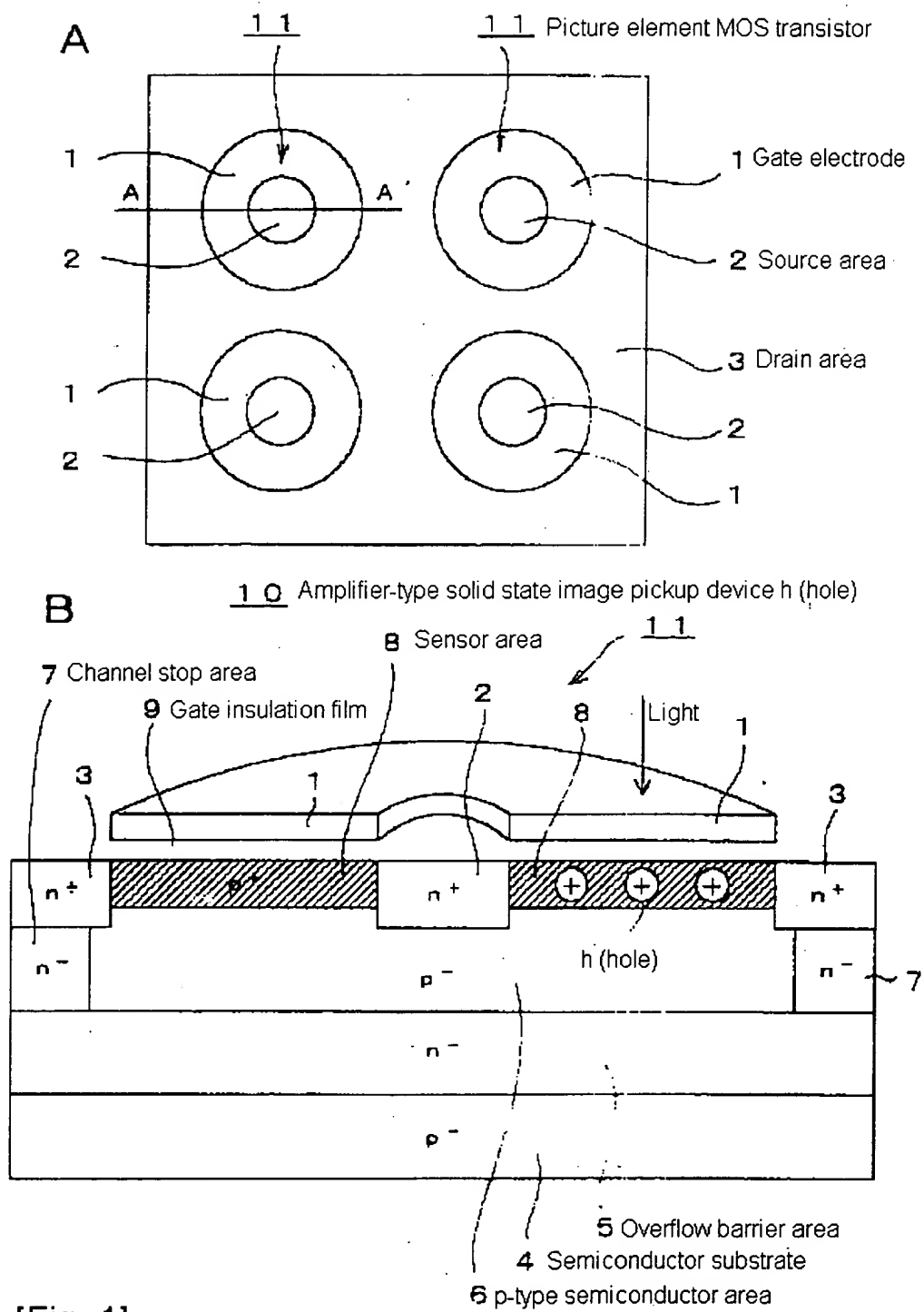
B: Sectional view along the X-X' line of Fig. 10A

[Fig. 11] A potential diagram in the vertical direction of the amplifier-type solid state image pickup device of Fig. 10.

[Description of Symbols]

1, 21: gate electrode, 2, 22: source area, 3, 23: drain area, 4, 24: semiconductor substrate, 5, 25: overflow barrier area, 6, 26: p-type semiconductor area, 7, 27: channel stop area, 8, 28: sensor area, 9, 29: gate insulation film, 10, 30: amplifier-type solid state image pickup device, 11, 20: picture element MOS transistor, 12: first MOS switch, 13: second MOS switch, 41: vertical scanning circuit, 42: vertical selection line, 43: vertical signal line, 44: operation MOS switch, 45:

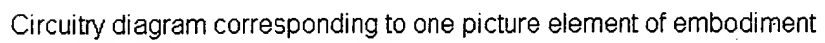
load capacity element, 46: reset MOS switch, 47: reset bias voltage supply terminal, 48: horizontal scanning circuit, 49: horizontal signal line, 50: horizontal MOS switch, h: hole, e: electron,  $H_{BLK}$ : horizontal blanking period, H: horizontal repeating period,  $T_A$ : horizontal effective scanning period,  $T_1$ : reset period,  $T_2$ : reading-out period,  $T_3$ : picture element reset period,  $V_{RB}$ : reset bias voltage, L: light,  $V_{g-read}$ : gate potential



[Fig. 1]

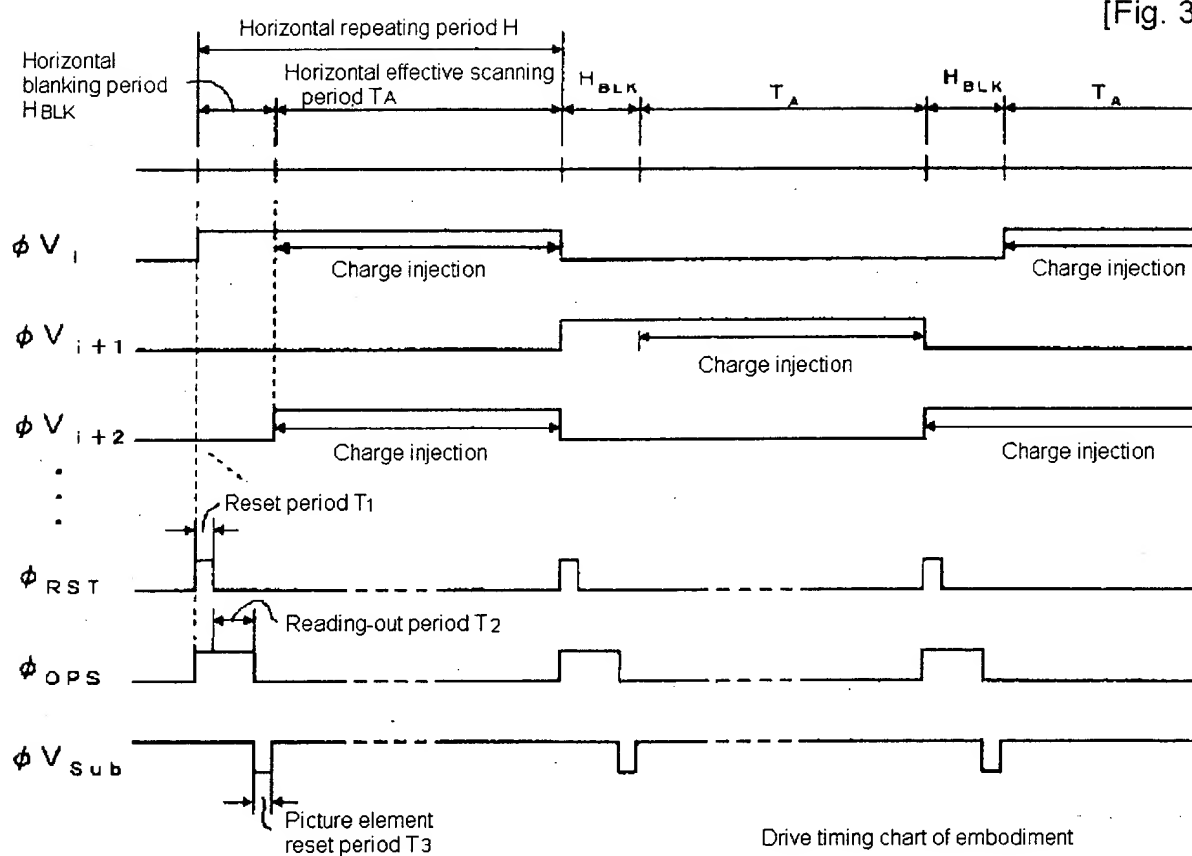
Constructional view of embodiment

10

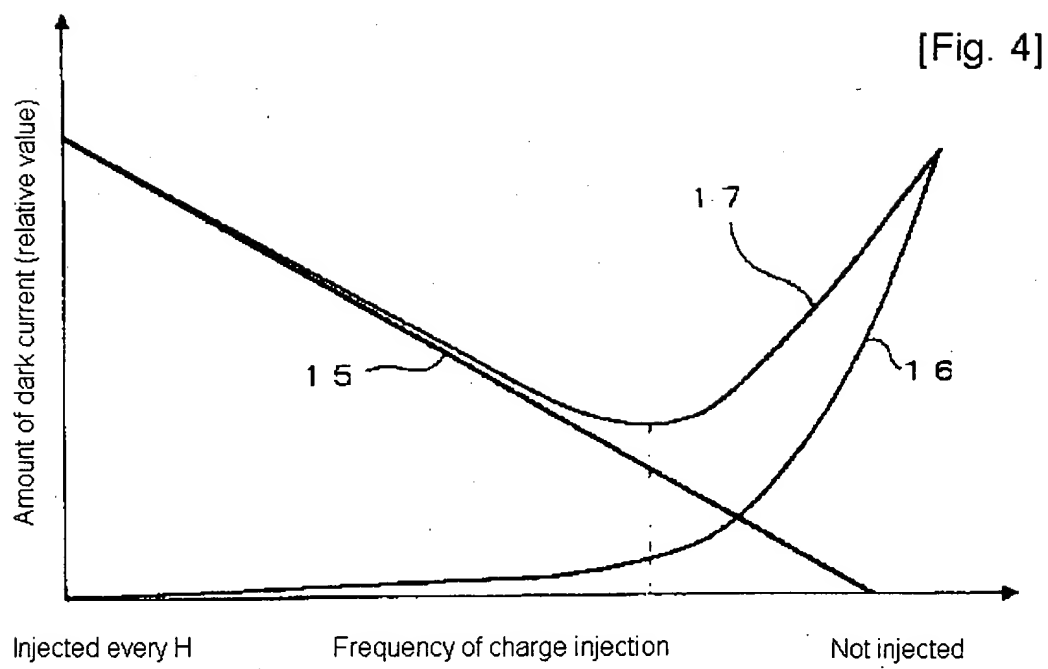


Circuitry diagram corresponding to one picture element of embodiment

[Fig. 3]

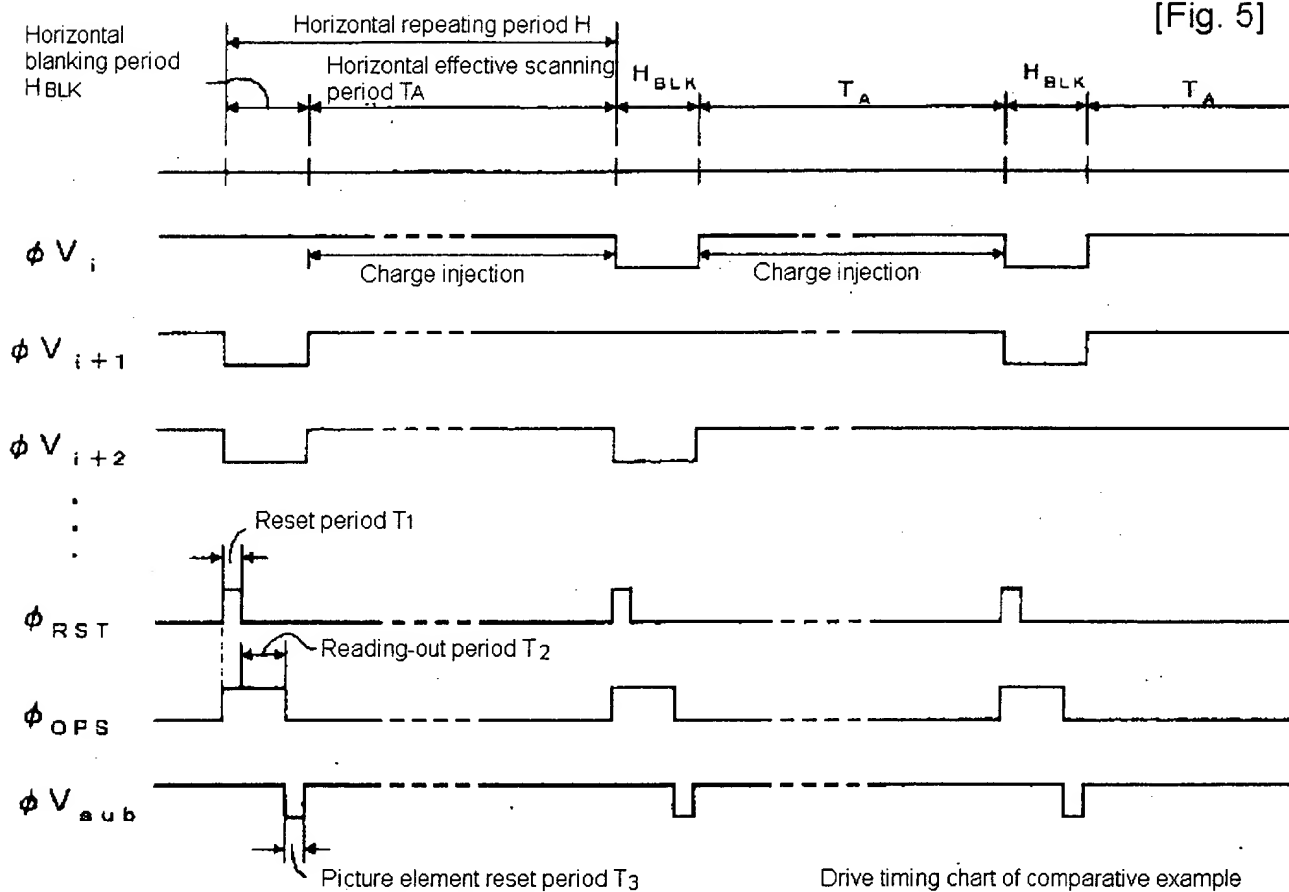




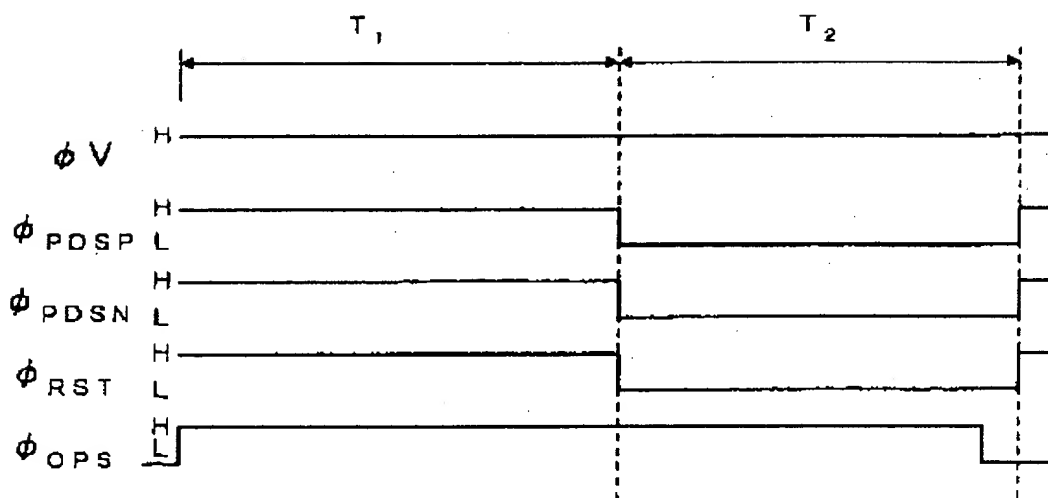


Relationship view between the frequency of charge injection and the amount of dark current

[Fig. 5]

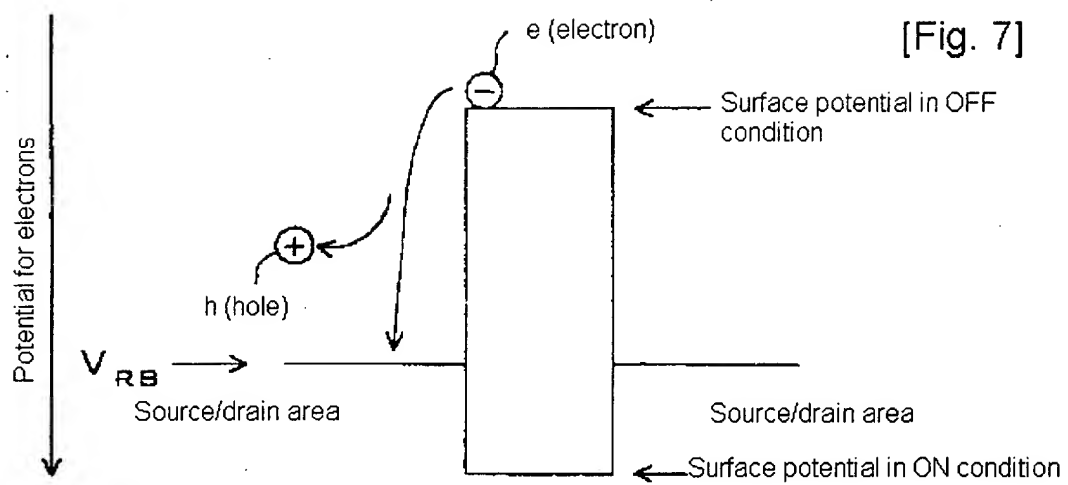


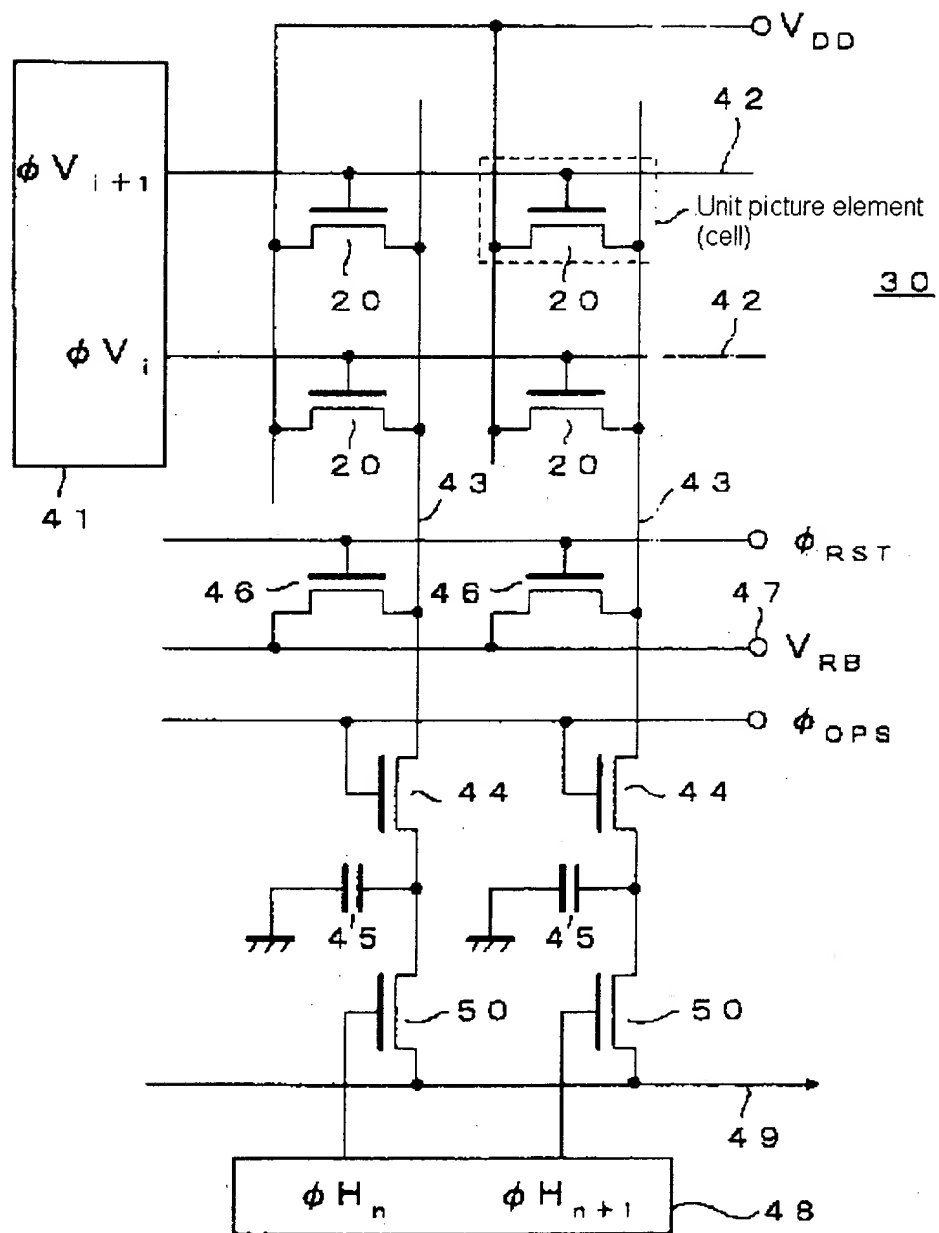
Drive timing chart of comparative example



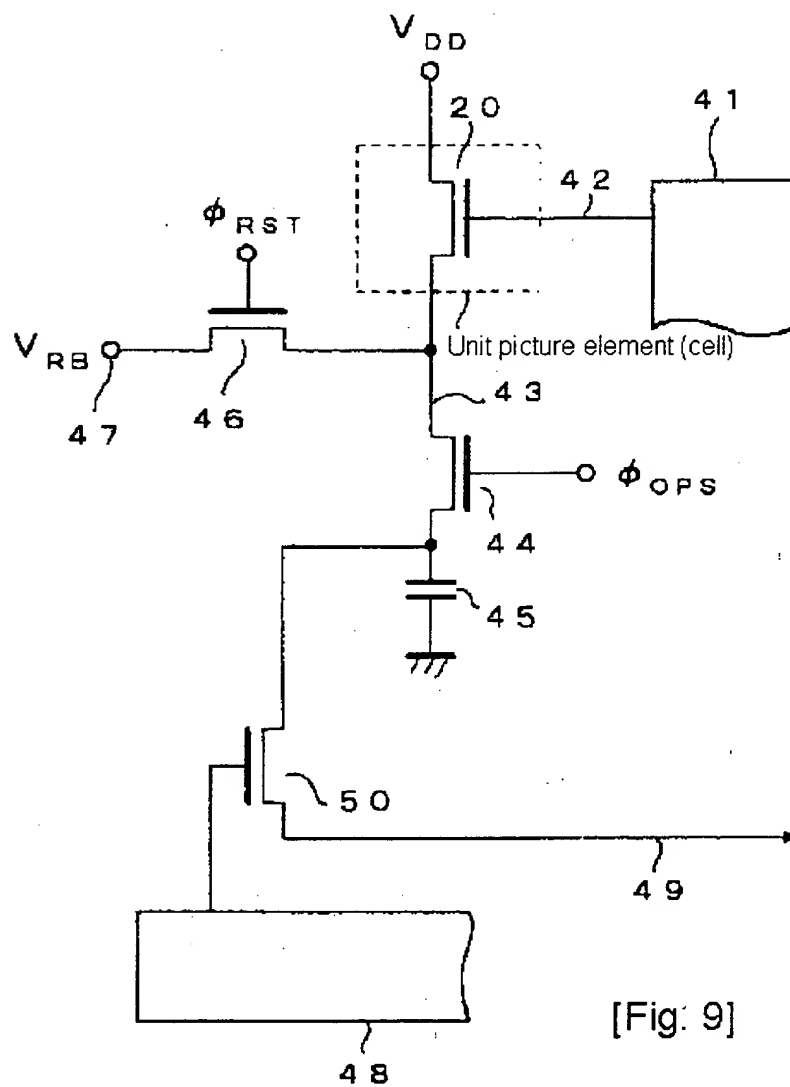
[Fig. 6]

Capacity load reading-out timing chart

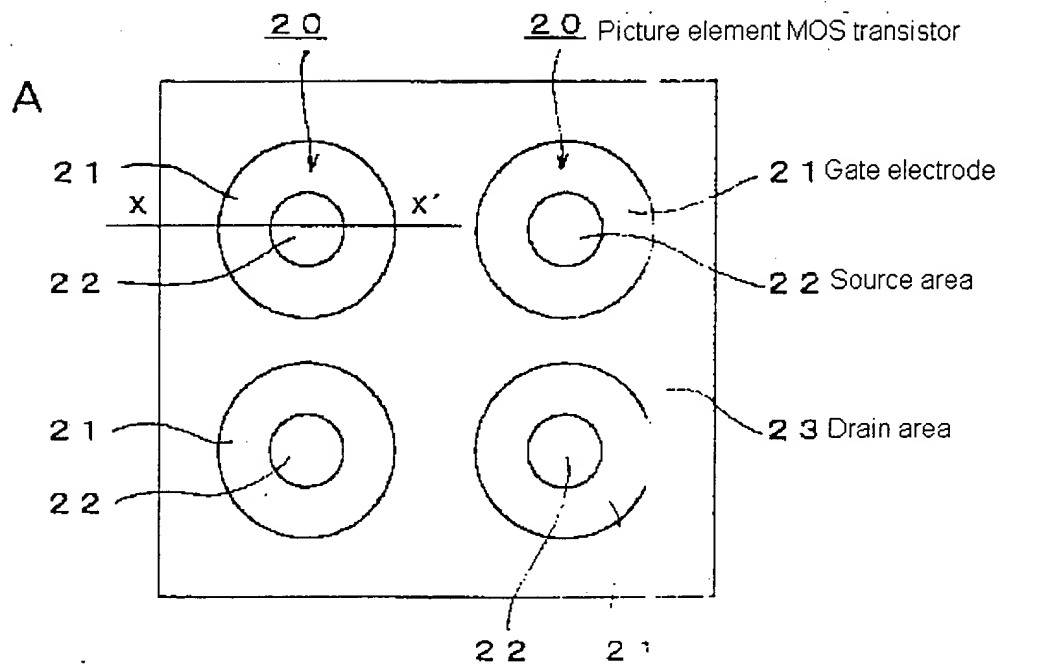




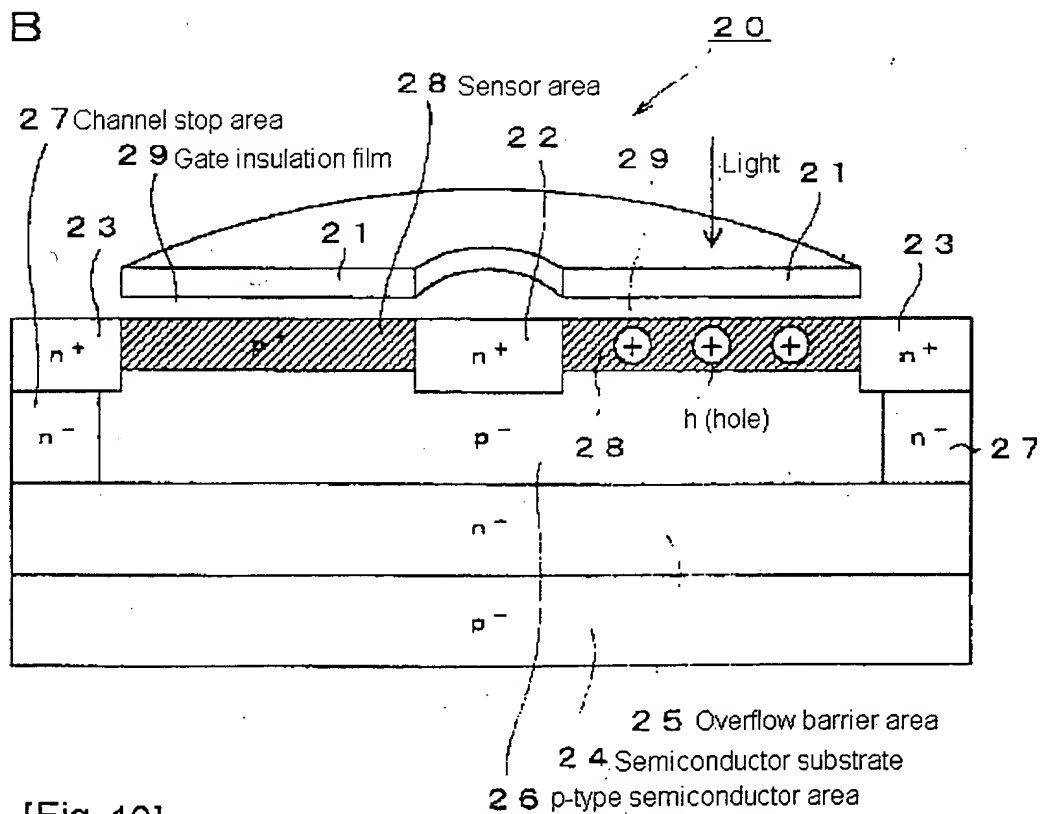
[Fig. 8] Constructional view of amplifier-type solid state image pickup device



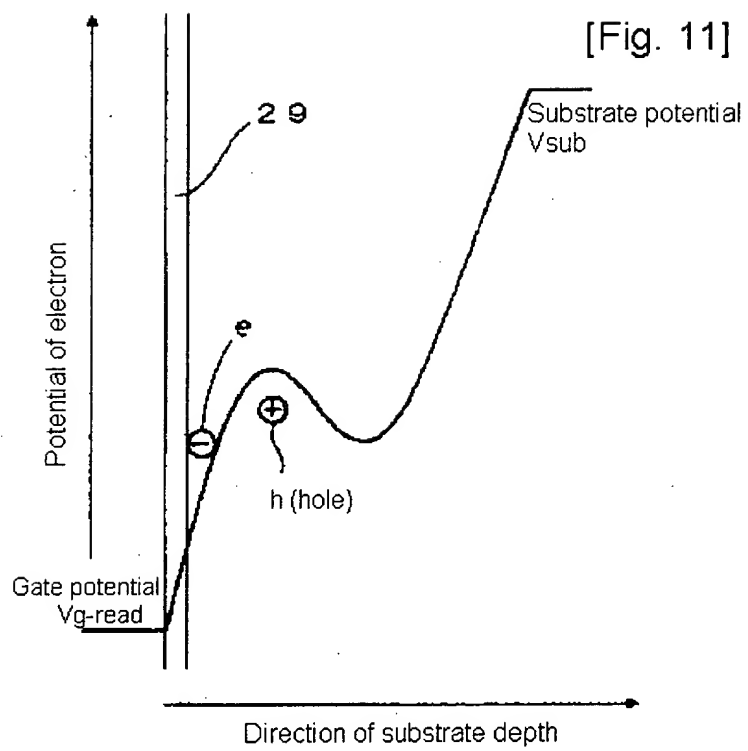
[Fig. 9]



**30** Amplifier-type solid state image pickup device



[Fig. 10] Constructional view of comparative example



Potential diagram of solid state image pickup device of Fig. 10



(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平10-74928

(43)公開日 平成10年(1998)3月17日

(51)Int.Cl.<sup>9</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H01L 27/146

H01L 27/14

A

H04N 5/335

H04N 5/335

R

審査請求 未請求 請求項の数 6 O L (全10頁)

(21)出願番号 特願平8-230857

(22)出願日 平成8年(1996)8月30日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 上野 貴久

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

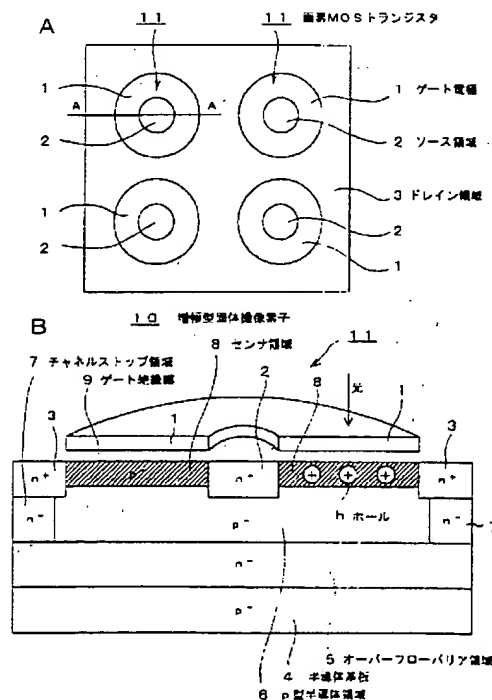
(74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】増幅型固体撮像素子及びその駆動方法

(57)【要約】

【課題】 画素の暗電流を低減することができる増幅型固体撮像素子及びその駆動方法を提供する。

【解決手段】 画素の半導体表面と絶縁膜9との界面8に電荷hを注入して暗電流を抑えるようにした増幅型固体撮像素子10であって、水平繰返し周期内の所要の期間に、上記界面8に電荷注入する手段を有し、この電荷注入が水平繰返し周期の複数倍の周期毎に1回行われるようにした構成とする。



## 【特許請求の範囲】

【請求項 1】 画素の半導体表面と絶縁膜との界面に電荷を注入して暗電流を抑えるようにした増幅型固体撮像素子であって、

水平繰り返し周期内の所要の期間に、上記界面に電荷注入する手段を有し、

該電荷注入が上記水平繰り返し周期の複数倍の周期毎に 1 回行われるようにして成ることを特徴とする増幅型固体撮像素子。

【請求項 2】 上記複数倍の周期は、上記界面に電荷注入する動作に起因する暗電流量と、上記界面に起因する暗電流量との和が最小となる周期に設定されて成ることを特徴とする請求項 1 に記載の増幅型固体撮像素子。

【請求項 3】 上記複数倍の周期は、2 ～ 10 倍の周期に設定されて成ることを特徴とする請求項 1 に記載の増幅型固体撮像素子。

【請求項 4】 画素の半導体表面と絶縁膜との界面に暗電流を抑えるための電荷注入を水平繰り返し周期内の所要の期間に行い、

かつ、上記電荷注入を上記水平繰り返し周期の複数倍の周期毎に 1 回行うことを特徴とする増幅型固体撮像素子の駆動方法。

【請求項 5】 上記複数倍の周期を、上記界面に電荷注入する動作に起因する暗電流量と、上記界面に起因する暗電流量との和が最小となる周期に設定することを特徴とする請求項 4 に記載の増幅型固体撮像素子の駆動方法。

【請求項 6】 上記複数倍の周期を、2 ～ 10 倍の周期に設定することを特徴とする請求項 4 に記載の増幅型固体撮像素子の駆動方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、増幅型固体撮像素子及びその駆動方法に係わる。

## 【0002】

【従来の技術】 埋め込みチャンネルを形成した CCD 型固体撮像素子においては、表面からの暗電流の発生を防ぐため、表面にホールまたは電子を注入し、界面準位を埋めていることがよく知られている。

## 【0003】

【発明が解決しようとする課題】 この表面に電荷を注入し界面準位を埋める技術（以下、電荷注入と略する）は、ある種の増幅型の固体撮像素子にも応用できる。例えば、MOS トランジスタのゲート電極の下に基板中にポテンシャルウェル領域を形成し、このポテンシャルウェル領域に光電変換したキャリアを蓄積し、これにより基板バイアスの変調を信号として取り出すような固体撮像素子等がある。

【0004】 この種の増幅型固体撮像素子のうち、n チャンネルの MOS トランジスタを画素として用いたものを

図 10 に示す。尚、p チャンネルの場合も同様にして固体撮像素子を構成することができる。

【0005】 図 10 B は、単位画素としての受光素子、即ち画素 MOS トランジスタ 20 の半導体構造を示す断面図である。この画素 MOS トランジスタ 20 は、p 型のシリコンからなる半導体基板 24 上にオーバーフローバリア領域となる n 型半導体領域 25 及び p 型半導体領域 26 が順次形成され、この p 型半導体領域 26 の表面にこれより濃度の高い p 型半導体領域からなる、いわゆるセンサ領域 28 が形成される。さらに、センサ領域 28 上に、例えば SiO<sub>2</sub> 等によるゲート絶縁膜 29 を介して光を透過しうるリング状のゲート電極 21 が形成され、そのリング状のゲート電極 21 の内側及び外側に対応する信号にそれぞれ n 型のソース領域 22 及びドレイン領域 23 が形成され、また、ドレイン領域 23 の直下の p 型半導体領域 26 に、ゲート下に蓄積された信号電荷が隣接画素へ漏れ出さないようにするための n 型のチャンネルストップ領域 27 が形成されて成る。この画素 MOS トランジスタ 20 が、図 10 A に示すように、複数個マトリックス状に配列されて増幅型固体撮像素子 30 が構成される。

【0006】 この画素 MOS トランジスタ 20 では、図 10 B に示すように、リング状のゲート電極 21 を透過した光 L がシリコン半導体中で光電変換して、電子・ホールのペアを発生し、このうちの一方の電荷、この例ではホール h が信号電荷としてゲート電極 21 下の p 型センサ領域 28 に形成されたポテンシャルウェル（図 11 のポテンシャル図参照）に蓄積される。この電荷（ホール）h による基板バイアスの変調を信号として取り出すようにしている。即ち、垂直選択線を通してゲート電極 21 に高レベル電位（図 11 のゲート電位  $V_{g, \text{high}}$  参照）が印加されて画素 MOS トランジスタ 20 がオンすると、チャンネル電流（いわゆるドレイン電流）がセンサ領域 28 の表面のチャンネルに流れ、このチャンネル電流が信号電荷 h によって変調を受けるので、このチャンネル電流をソース領域 22 に接続された垂直信号線を通して出力し、その変化量を信号出力とするものである。

【0007】 図 8 は、容量負荷動作方式の増幅型固体撮像素子の回路構成図である。この増幅型固体撮像素子 30 では、複数の単位画素（セル）を構成する受光素子、即ち画素 MOS トランジスタ 20 がマトリックス上に配列され、各画素 MOS トランジスタ 20 のゲートがシフトレジスタなどから構成される垂直走査回路 41 からの垂直走査信号（即ち垂直選択パルス） $\phi V [\phi V_1, \dots, \phi V_i, \phi V_{i+1}, \dots]$  にて選択される垂直選択線 42 に接続され、そのドレインが電源  $V_{DD}$  に接続され、その各列毎のソースが垂直信号線 43 に接続される。垂直信号線 43 には、動作 MOS スイッチ 44 を介して信号電圧（電荷）を保持する負荷容量素子 45 が接続される。負荷容量素子 45 は垂直信号線 43 と接地電位との

間に接続される。動作MOSスイッチ44のゲートには動作パルス $\phi_{in}$ が印加される。

【0008】画素MOSトランジスタ20のソースと動作MOSスイッチ44間の垂直信号線43には、負荷容量素子45のリセットと垂直信号線43のリセットを兼ねるリセットMOSスイッチ46を介してリセットバイアス電圧 $V_{in}$ を供給するためのリセットバイアス電圧供給端子47が接続される。リセットMOSスイッチ46のゲートにはリセットパルス $\phi_{in}$ が供給されるようになされる。48はシフトレジスタなどから構成された水平走査回路であり、この水平走査回路48は水平信号線49に接続された水平MOSスイッチ50のゲートへ順次水平走査パルス $\phi_H$  [ $\phi_{H1}$ , ...,  $\phi_{Hn}$ ,  $\phi_{Hn+1}$ , ...] が供給される。水平信号線49の出力端に出力回路（例えば電荷検出回路）が接続される。

【0009】図9は、図8における1画素に対応した回路構成図である。この増幅型固体撮像素子30では、まず、水平ブランキング時間中において、画素MOSトランジスタの動作期間の前に、垂直信号線43と負荷容量素子45をリセットバイアス電圧 $V_{in}$ にリセットする。即ち、リセットパルス $\phi_{in}$ と動作パルス $\phi_{in}$ を与えてリセットMOSスイッチ46と動作MOSスイッチ44とを同時にオンする。この結果、画素MOSトランジスタ20の動作期間前の垂直信号線43と負荷容量素子45の初期電圧は、リセットバイアス電圧 $V_{in}$ にリセットされる。

【0010】この後、リセットMOSスイッチ46をオフして垂直選択線、例えばi行の垂直選択線42に垂直選択パルス $\phi_i$ が与えられる、このとき、動作パルス $\phi_{in}$ は引き続き与えられ、動作MOSスイッチ44はオン状態となっている。この時点で選択されたi行の画素MOSトランジスタ20の1列分の信号電圧がそれぞれの負荷容量素子45に保持される。即ち、画素MOSトランジスタ20に蓄積された信号電荷量（ホール量）に応じたチャネルポテンシャルに相当する信号電圧が負荷容量素子45に保持される。水平ブランキング期間の終わりの画素リセット期間で例えば基板に基板パルス $\phi_{in}$ （図示せず）が印加され、画素MOSトランジスタ20に蓄積されている信号電荷が基板側に排出される。

【0011】次いで、これらの負荷容量素子45に保持された信号電圧が、水平走査期間中に水平走査回路48からの水平走査信号 $\phi_H$  [ $\phi_{H1}$ , ...,  $\phi_{Hn}$ ,  $\phi_{Hn+1}$ , ...] で順次水平MOSスイッチ50をオンすることによって、信号電荷として水平信号線49に流れ、出力回路を通じて信号電圧として出力される。

【0012】ところで、上述の増幅型固体撮像素子30においては、暗電流をできるだけ低減させることが望まれている。暗電流には2つの原因があり、1つは画素MOSトランジスタでのホットキャリアの生成、もう1つ

は画素MOSトランジスタのゲート部界面、即ちゲート絶縁膜と半導体表面との界面での電子・ホールペアの生成である。上述の増幅型固体撮像素子30において、画素MOSトランジスタ20がオフしているときは画素MOSトランジスタ20に微小電流が流れず、ホットキャリアの生成はない。従ってホットキャリアの生成による暗電流は生じない。しかし、電荷蓄積期間（いわゆる受光期間）においては、画素MOSトランジスタ20はオフ状態になっており、このオフ状態では画素MOSトランジスタ20のゲート部表面に電荷（電子）が注入できず、このため電子・ホールペアが生成し、このうちのホールがセンサ領域28に蓄積されることによって、暗電流が増すことになる。

【0013】本発明は、上述の点に鑑みて、画素の暗電流を低減することができる増幅型固体撮像素子及びその駆動方法を提供するものである。

【0014】

【課題を解決するための手段】本発明は、画素の半導体表面と絶縁膜との界面に暗電流を抑えるための電荷注入を、水平繰り返し周期内の所要の期間内に行うと共に、この電荷注入が水平繰り返し周期の複数倍の周期毎に1回行われるようにする。

【0015】このように、界面への電荷注入が水平繰り返し周期の複数倍の周期毎に1回行われることにより、界面に起因する暗電流が抑えられと共に、界面に電荷注入する動作に起因する暗電流も抑えることができる。

【0016】

【発明の実施の形態】本発明に係る増幅型固体撮像素子は、画素の半導体表面と絶縁膜との界面に電荷を注入して暗電流を抑えるようにした増幅型固体撮像素子であって、水平繰り返し周期内の所要の期間に、上記界面に電荷注入する手段を有し、この電荷注入が水平繰り返し周期の複数倍の周期毎に1回行われるようにした構成とする。

【0017】本発明は、上記増幅型固体撮像素子において、上記複数倍の周期を、界面に電荷注入する動作に起因する暗電流量と、界面に起因する暗電流量との和が最小となる周期に設定した構成とする。

【0018】本発明は、上記増幅型固体撮像素子において、上記複数倍の周期を、2～10倍の周期に設定した構成とする。

【0019】本発明に係る増幅型固体撮像素子の駆動方法は、画素の半導体表面と絶縁膜との界面に暗電流を抑えるための電荷注入を水平繰り返し周期内の所要の期間に行い、かつ、電荷注入を上記水平繰り返し周期の複数倍の周期毎に1回行うようにする。

【0020】本発明は、上記増幅型固体撮像素子の駆動方法において、上記複数倍の周期を、界面に電荷注入する動作に起因する暗電流量と、界面に起因する暗電流量との和が最小となる周期に設定する。

【0021】本発明は、上記増幅型固体撮像素子の駆動方法において、上記複数倍の周期を、2～10倍の周期に設定する。

【0022】以下、図面を参照して本発明の実施例を説明する。図1は、本実施例に係る増幅型固体撮像素子を示し、画素構造は前述の図10と同様の構成を採る。即ち、図1Bは本実施例に係る単位画素としての受光素子、即ち画素MOSトランジスタ11の半導体構造を示す断面図である。

【0023】この画素MOSトランジスタ11は、第1 10 導電型例えばp型のシリコンからなる半導体基板4上にオーバーフローバリア領域となる第2導電型例えばn型の半導体領域5及びp型の半導体領域6が順次形成され、このp型半導体領域6の表面に、これより濃度の高いp型半導体領域からなる、いわゆるセンサ領域8が形成される。更に、センサ領域8上に例えばSiO<sub>2</sub>などによるゲート絶縁膜9を介して光を透過しうるリング状のゲート電極1が形成され、そのリング状のゲート電極1の内側及び外側に対応する位置にそれぞれn型のソース領域2及びドレイン領域3が形成され、また、ドレイン領域3の直下のp型半導体領域6に、ゲート下に蓄積された信号電荷が隣接画素へ漏れ出ないようにするためのn型のチャンネルストップ領域7が形成されて成る。この画素MOSトランジスタ11が、図1Aに示すように、複数個マトリクス状に配列されて増幅型固体撮像素子10が構成される。この画素MOSトランジスタ11の動作は、前述の図10Bの画素MOSトランジスタ20と同じであるので、重複説明を省略する。

【0024】本実施例においては、画素MOSトランジスタ11に対して、電荷蓄積期間例えば水平繰返し周期(H)の水平有効走査期間にp型センサ領域8の表面とゲート絶縁膜9との界面に電荷、本例では電子を注入し、この界面での電子・ホールペアの発生を抑えるようにする。即ち、ゲート電極1にp型センサ領域8の表面のチャンネルがオンする（いわゆる電子が注入される）様なバイアス電圧を与え、言い換えれば、ソース電位、ドレイン電位の少なくとも一方をチャンネル電位より低くして、そのソース領域2又はドレイン領域3からチャンネルに電子を注入するようにし、これによって界面に起因する暗電流を抑えるようにすると共に、その際に、ソース 40 電位とドレイン電位を同じにして、チャンネル電流が流れないようにして、チャンネル電流が流れることによる例えばホットキャリア等に起因した暗電流の発生を抑えるようになる。

【0025】図2は、本実施例に係る増幅型固体撮像素子10の回路構成を示す。即ち、これは、界面への電荷の注入及び電荷注入期間でのソースとドレインを同電位にすることを可能にする回路構成の一例である。ただし、図2は前述の図9と同様に1画素に対応した回路構成である。

【0026】この図2の回路構成は、前述の図9と同様に、複数の単位画素（セル）を構成する受光素子、即ち画素MOSトランジスタ11が行列状に配列され、各画素MOSトランジスタ11のゲートがシフトレジスタなどから構成される垂直走査回路41からの垂直走査信号（即ち垂直選択パルス） $\phi V$  [ $\phi V_1, \dots, \phi V_i, \dots, \phi V_m, \dots$ ] にて選択される垂直選択線42に接続され、そのドレインが電源 $V_{DD}$ に接続され、その各列毎のソースが垂直信号線43に接続される。垂直信号線43には、例えばnチャネル型MOSトランジスタからなる動作MOSスイッチ44を介して信号電圧（電荷）を保持する負荷容量素子45が接続される。負荷容量素子45は垂直信号線43と接地電位との間に接続される。動作MOSスイッチ44のゲートには動作パルス $\phi_{in}$ が印加される。

【0027】画素MOSトランジスタ20のソースと動作MOSスイッチ44間の垂直信号線43には、負荷容量素子45のリセットと、垂直信号線43のリセット即ち画素MOSトランジスタ11のソース側寄生容量の充電を兼ねる例えばnチャネル型MOSトランジスタからなるリセットMOSスイッチ46を介してリセットバイアス電圧 $V_{SS}$ を供給するためのリセットバイアス電圧供給端子47が接続される。リセットMOSスイッチ46のゲートにはリセットパルス $\phi_{res}$ が供給されるようになされる。48はシフトレジスタなどから構成された水平走査回路であり、この水平走査回路48は水平信号線49に接続された例えばnチャネルMOSトランジスタからなる水平MOSスイッチ50のゲートへ順次水平走査信号（即ち水平走査パルス） $\phi H$  [ $\phi H_1, \dots, \phi H_i, \dots, \phi H_m, \dots$ ] が供給される。水平信号線49の出力端に出力回路（例えば電荷検出回路）が接続される。

【0028】そして、本例においては、画素MOSトランジスタ11のドレインと電源 $V_{DD}$ との間に例えばpチャネル型MOSトランジスタからなる第1のMOSスイッチ12が接続されると共に、画素MOSトランジスタ11のドレインとリセットバイアス電圧供給端子47との間に画素MOSトランジスタのドレイン側の寄生容量を充電するための例えばnチャネル型MOSトランジスタからなる第2のMOSスイッチ13が接続される。そして、第1のMOSスイッチ12のゲートには駆動パルス $\phi_{in}$ が印加され、第2のMOSスイッチ13のゲートには駆動パルス $\phi_{res}$ が印加されるようになされる。ここで電源 $V_{DD}$ とリセットバイアス電圧 $V_{SS}$ の関係は $V_{DD} > V_{SS}$ である。

【0029】次に、図2の回路構成の動作について説明する。まず、概略を説明すると、図5のタイミングチャートに示すように、画素MOSトランジスタ11は非選択時の水平ブランキング期間以外、即ち選択時における 50 水平ブランキング期間 $H_{in}$ 及び水平有効走査期間（い

わゆる待機期間)  $T_1$  中そのゲートには垂直選択パルス  $\phi V$  が印加され続けられ、オン状態となっている。そして、画素MOSトランジスタ11における信号電圧、即ち画素MOSトランジスタ11に蓄積された信号電荷量(ホール量)に応じたチャネルポテンシャルに相当する信号電圧の負荷容量素子45への読み出し動作は、水平ブランキング期間に行われる。即ち、水平ブランキング期間  $H_{BL}$  中の画素MOSトランジスタ11の読み出し期間  $T_1$  の前のリセット期間  $T_2$  にリセットパルス  $\phi_{RST}$  が与えられてリセットMOSスイッチ46がオンすると同時に、動作パルス  $\phi_{H1}$  が与えられ、動作MOSスイッチ44もオンすることで負荷容量素子45がリセットバイアス電圧  $V_{RST}$  にリセットされる。

【0030】次いで、リセットMOSスイッチ48がオフし、動作MOSスイッチ44がオン状態の読み出し期間  $T_1$  において、画素MOSトランジスタ11の信号電圧が負荷容量素子45に保持される。読み出しが終了した後、画素リセット期間  $T_2$  で基板パルス  $\phi_{V_{DD}}$  が基板に印加され、画素MOSトランジスタ11に蓄積されていた電荷(ホール)が基板を通して排出される。以後、水平有効走査期間  $T_3$  で水平走査回路48からの水平走査パルス  $\phi H [\phi H_1, \dots, \phi H_n, \phi H_{n+1}, \dots]$  によって順次1ラインの信号電荷が水平信号線49に流れ、出力される。以上が動作の概略である。

【0031】そして、本例の増幅型固体撮像素子10は、図2の回路構成をとることによって、読み出し時以外には画素MOSトランジスタ11に電流を流さないようにしている。この駆動タイミングの一例を図6に示す。図6に示すように、リセット期間  $T_2$  において、駆動パルス  $\phi_{H1}$  及び駆動パルス  $\phi_{Hn}$  を高レベルにして第1のMOSスイッチ12をオフし、第2のMOSスイッチ13をオンすると共に、リセットパルス  $\phi_{RST}$  を高レベルにしてリセットMOSトランジスタ46をオンし、また動作パルス  $\phi_{H1}$  を高レベルにして動作MOSスイッチ44をオン状態とする。

【0032】これにより、負荷容量素子45はリセットバイアス電圧  $V_{RST}$  にリセットされ、同時に画素MOSトランジスタ11のソース側の垂直信号線43の寄生容量及びドレイン側の配線の寄生容量が充電され、ソース及びドレインの電位が互いに同電位のリセットバイアス電圧  $V_{RST}$  にリセットされる。

【0033】次に、読み出し期間  $T_1$  において、第1のMOSスイッチ12及び第2のMOSスイッチ13のゲートにそれぞれ駆動パルス  $\phi_{H1}$  の低レベル及び駆動パルス  $\phi_{Hn}$  の低レベルが印加されて第1のMOSスイッチ12がオンし、第2のMOSスイッチがオフすると共に、リセットMOSスイッチ46のゲートにリセットパルス  $\phi_{RST}$  の低レベルが印加されることによりリセットMOSスイッチ46がオフする。これにより、画素MOSトランジスタ11の信号電圧が負荷容量素子45に保

持される。

【0034】次いで、動作MOSスイッチ44がオフした後、負荷容量素子45に保持された信号電圧が水平有効走査期間中に水平走査パルス  $\phi H [\phi H_1, \dots, \phi H_n, \phi H_{n+1}, \dots]$  で順次水平MOSスイッチ50をオンすることによって、信号電荷として水平信号線49に流れ、出力回路を通じて信号電圧として出力される。尚、読み出し期間  $T_1$  以外では、第1のMOSスイッチ12は、オフ状態、第2のMOSスイッチ13はオン状態、リセットMOSスイッチ46はオン状態となる。この例によれば、リセット時において画素MOSトランジスタ11のソース及びドレインがリセットバイアス電圧  $V_{RST}$  によって同電位となることから、画素MOSトランジスタ11がオン状態であるにも拘わらず、ドレイン及びソース間に電流が流れない。従って、ホットキャリアの生成はなく、ホットキャリア生成による暗電流を抑制できる。しかも、画素MOSトランジスタ11をオン状態にしてゲート部表面に電子を注入することにより、界面での電子・ホールペアの生成が抑えられ、界面に起因した暗電流を抑制することができる。

【0035】上述の図5の例では、読み出し動作を水平ブランキング期間  $H_{BL}$  で行い、電荷注入のフェーズを水平有効走査期間としている。この電荷注入のフェーズにおいて、非選択画素もオンさせることにより、電荷が界面準位を埋める時間が長くなり、より暗電流が抑制されると期待される。

【0036】ところで、図5の駆動タイミング例の場合、非選択画素は、選択画素の読み出しを行う水平ブランキング期間  $H_{BL}$  毎に、オフ状態にさせられる。このように、読み出し動作を行うために電荷注入をしていた非選択画素をオフすると、チャネル領域に注入されて残っていた電荷が、ソース/ドレイン領域に排出される際に、チャネル-ソース/ドレイン間の電界によって加速されて、ホットキャリアが発生し、暗電流の原因となることがある。

【0037】この状態の模式図を図7に示す。画素MOSトランジスタがオンの状態では、チャネルの電位はソース/ドレイン領域の電位  $V_{DD}$  よりやや高いポテンシャルを有する。そして、画素MOSトランジスタがオフされると、チャネルの電位は低いポテンシャルとなり、かつソース/ドレイン領域の電位との差(両者の間の電界に相当)も大きくなる。

【0038】従って、界面に注入されていた電子  $e$  が排出される際に、電界により加速されて大きなエネルギーを持ち、これがインパクトイオン化されてホール  $h$  が発生し、これが暗電流のもととなる。

【0039】一方、電荷注入されている時間を長くとうとすると、電荷の注入・排出が複数回行われるため、例えば図5に示すように、電荷注入を水平繰返し周期  $H$  毎に行ったとすると垂直ライン数と同じ回数行われる

ため、かえって暗電流の発生が増加する結果となる。

【0040】そこで、本実施例では、更に、電荷注入する回数を減らして、暗電流の発生を低減するように構成する。

【0041】本発明者は、センサ領域8とゲート絶縁膜9との界面に電荷を注入することにより、その後空乏化させても、界面に起因した暗電流を抑制する効果は、数〜数十 $\mu$ 秒、水平繰り返し周期Hの単位でいうと2H〜約10Hの期間持続することを確認した。そこで、本実施例においては、界面への電荷注入を、水平繰り返し周期H毎に行うのではなく、例えば2Hに1回、または3Hに1回というように、一定間隔を開けて行い、ホットキャリアに起因する暗電流と、界面に起因する暗電流の和が最小となるようにする。

【0042】この概念図を図4に示す。図4において、縦軸は暗電流の発生量を相対値で表し、横軸は電荷注入の頻度を表し右端が電荷注入をしない場合、左端が毎H電荷注入をする場合である。即ち、右端は電荷注入の間隔が無限大、左端は電荷注入の間隔が1Hである。

【0043】ホットキャリアに起因する暗電流(曲線15)は、電荷注入の頻度に比例するので、毎H電荷注入する場合が最も多く、電荷注入がないと0になる。界面に起因する暗電流(曲線16)は、電荷注入を行わないと多く発生し、毎H電荷注入するとほとんど発生しない。その間の増加は指数関数的になる。

【0044】従って、ホットキャリアに起因する暗電流と界面に起因する暗電流の和をとり(曲線17)、これが最小となる電荷注入頻度を採用すればよい。

【0045】1回電荷注入をすることによる暗電流の抑制効果は、約10Hまで持続するので、固体撮像素子のその他の条件にもよるが、この暗電流の総和が最小となる電荷注入頻度は、おおむね2Hに1回〜約10Hに1回となる。そこで、電荷注入の期間の間隔を、2H以上約10H以下とするのが望ましい。

【0046】図3は、本発明に係る駆動タイミングの一例であり、電荷注入を2Hに1回、即ち水平繰り返し周期Hの2倍の周期毎に1回行うようにした場合である。1ラインの画素MOSトランジスタについて、1Hおきの水平有効走査期間 $T_1$ に垂直選択パルス $\phi V$  [ $\phi V_1, \dots, \phi V_i, \dots, \phi V_m, \dots, \phi V_n, \dots$ ] の高レベル電位を画素MOSトランジスタ11のゲート電極1に与えるようにしている。

【0047】このようにして、暗電流を最小にすることにより、特性の良好な固体撮像素子を構成することができる。

【0048】尚、上例では、水平ブランキング期間に読み出し動作を行い、電荷注入のフェーズを水平有効走査期間とした場合について述べたが、その他、水平有効走査期間に読み出し動作を行い、電荷注入のフェーズを水平ブランキング期間とする場合にも本発明は適用でき

る。また、上例の増幅型固体撮像素子に限らず、例えばCMD等の増幅型固体撮像素子にも本発明は適用できる。

【0049】本発明の固体撮像素子は、上述の例に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

【0050】

【発明の効果】上述の本発明によれば、画素の界面に暗電流を抑えるための電荷注入を水平繰り返し周期内の所要の期間に行うと共に、この電荷注入を水平繰り返し周期の複数倍の周期毎に1回行うようにすることにより、電荷注入する動作によるホットキャリアに起因した暗電流と、界面に起因した暗電流とを共に抑制して、暗電流の量の低減をはかることができる。

【0051】また、この電荷注入の間隔即ち複数倍の周期を前述のように選定することにより、ホットキャリア起因の暗電流と、界面起因の暗電流との総和を最小として、暗電流の量を最小にすることができる。従って本発明により、暗電流の少ない、特性のよい増幅型固体撮像素子を構成することができる。また、暗電流が少なくなるような駆動を行うことができる。

【図面の簡単な説明】

【図1】本発明に係る増幅型固体撮像素子の実施例の概略構成図である。

A 平面図である。

B 図1AのA-A'における断面図である。

【図2】図1の増幅型固体撮像素子の1画素に対応する回路構成図である。

【図3】図1の増幅型固体撮像素子の駆動タイミングチャートである。

【図4】電荷注入の頻度と暗電流の発生量との関係を示す模式図である。

【図5】増幅型固体撮像素子の駆動タイミングチャートの比較例である。

【図6】容量負荷読み出しのタイミングチャートである。

【図7】電荷注入動作に伴う暗電流発生の状態を示す模式図である。

【図8】容量負荷動作方式の増幅型固体撮像素子の回路構成図である。

【図9】図8の増幅型固体撮像素子の1画素に対応する回路構成図である。

【図10】比較例の増幅型固体撮像素子の概略構成図である。

A 平面図である。

B 図10AのX-X'における断面図である。

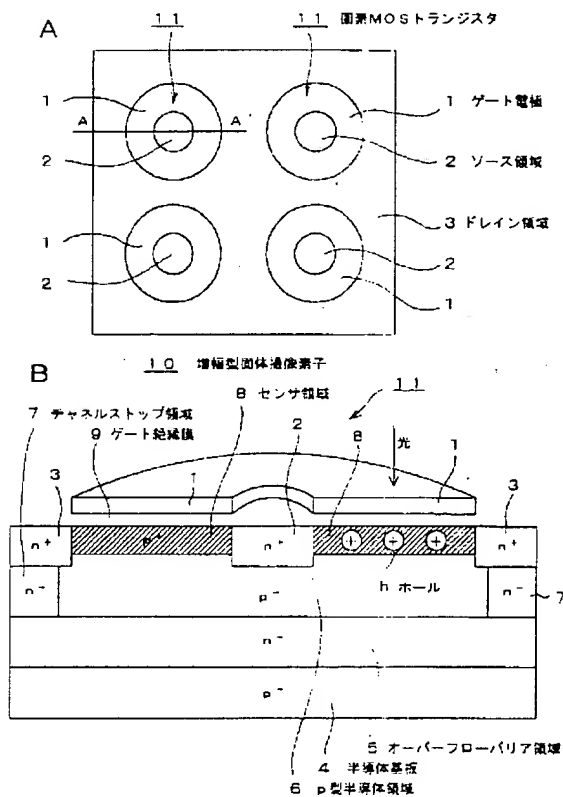
【図11】図10の増幅型固体撮像素子の垂直方向のポテンシャル図である。

【符号の説明】

1, 21 ゲート電極、2, 22 ソース領域、3, 2

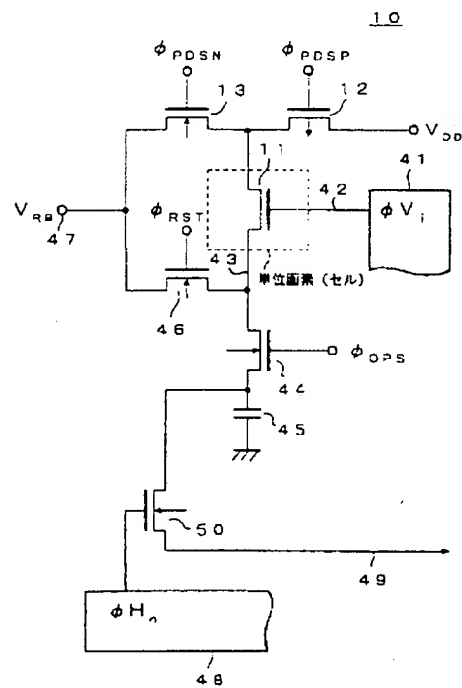
3 ドレイン領域、4, 24 半導体基板、5, 25 オーバーフローバリア領域、6, 26 p型半導体領域、7, 27 チャネルストップ領域、8, 28 センサ領域、9, 29ゲート絶縁膜、10, 30 増幅型固体撮像素子、11, 20 画素MOSトランジスタ、12 第1のMOSスイッチ、13 第2のMOSスイッチ、41垂直走査回路、42 垂直選択線、43 垂直信号線、44 動作MOSスイッチ、45 負荷容量素

【図1】



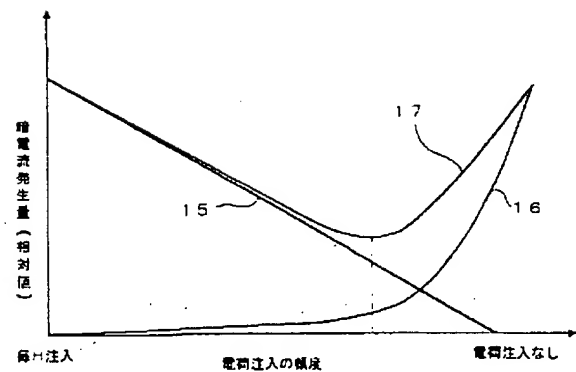
実施例の構成図

【図2】



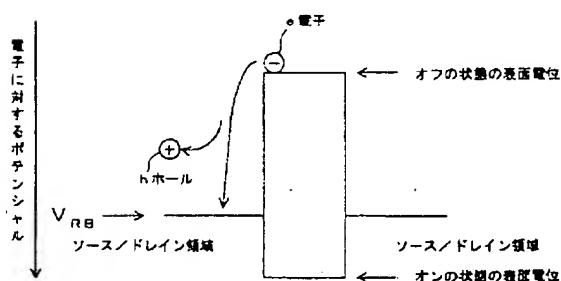
本実施例の1画素に対応する回路構成図

【図4】

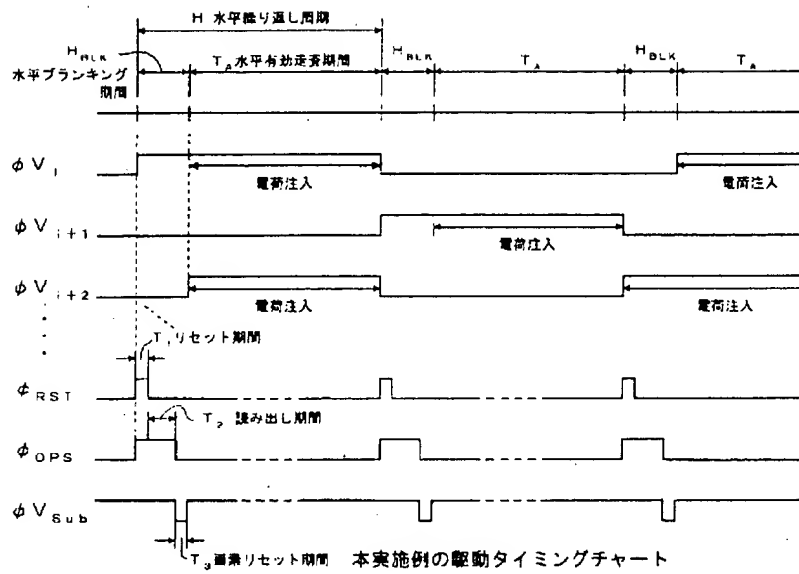


電荷注入の頻度と暗電流の発生量との関係図

【図7】



【図3】



【図11】

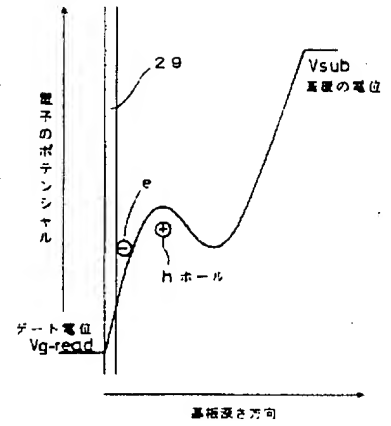
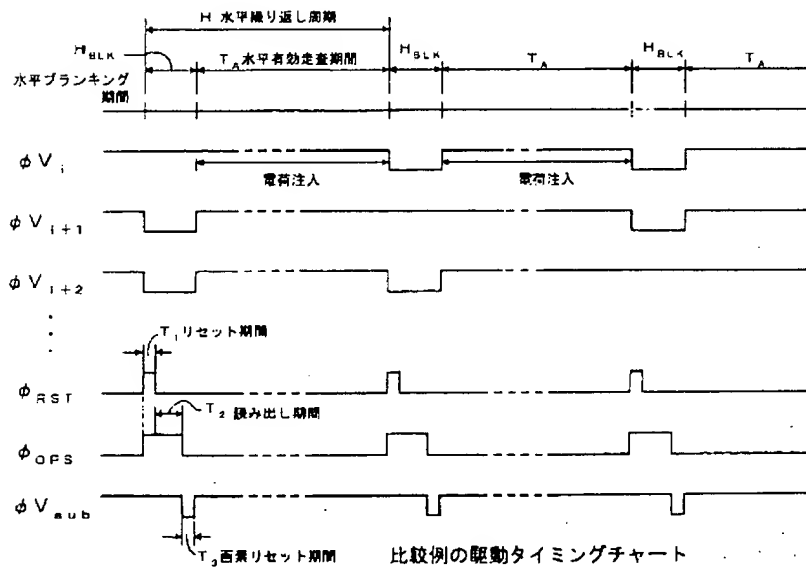


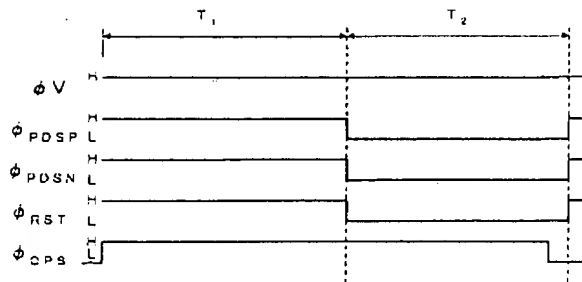
図10の固体撮像素子のポテンシャル図

【図5】



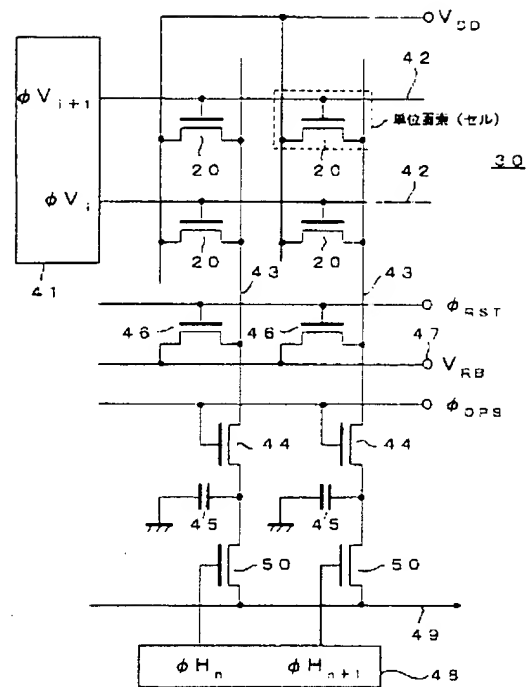


【図6】



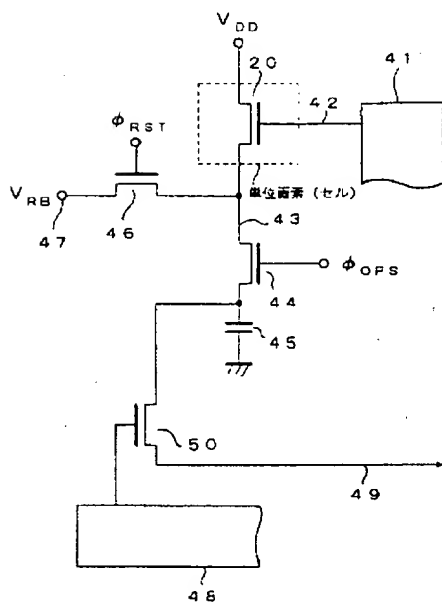
容量負荷読み出しタイミングチャート

【図8】



増幅型固体撮像素子の構成図

【図9】



【図10】

